

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2695981号

(45) 発行日 平成10年(1998) 1月14日

(24) 登録日 平成9年(1997) 9月12日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 2 0		G 0 2 F 1/133	5 2 0

請求項の数 8 (全 8 頁)

(21) 出願番号 特願平2-266365

(22) 出願日 平成2年(1990)10月5日

(65) 公開番号 特開平4-143791

(43) 公開日 平成4年(1992)5月18日

(73) 特許権者 999999999

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(73) 特許権者 999999999

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 荒川 隆志

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会

社内

(72) 発明者 茂木 宏之

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会

社内

(74) 代理人 弁理士 鈴江 武彦 (外3名)

審査官 小池 正彦

(54) 【発明の名称】 液晶表示器駆動電源回路

1

(57) 【特許請求の範囲】

【請求項1】 複数の中間電圧レベルの電極駆動用電圧を発生する液晶表示器駆動電源回路であって、順次、電圧値の異なるV2H、V1H、V3L及びV2Lの中間電圧レベルの電圧を発生する複数の抵抗器を直列接続した電圧分割回路と、前記電圧分割回路から出力される前記V2H、V1H、V3L及びV2Lの中間電圧レベルの電圧がそれぞれ入力され、前記電圧値の順位に対応して2つのグループに分けて設けられる第1乃至第4のオペアンプと、液晶表示器を交流駆動する切り換え信号によって、前記2つのグループに分けて設けられた第1乃至第4のオペアンプを能動状態及び非能動状態に切り換え制御し、表示フレーム毎に反転するフレーム信号に対応して、前記第1及び第2のオペアンプと前記第3及び第4のオペアンプの2つのグループの一方がアクティブ状態とされ他方がノンアクテ

2

ィブ状態とされるように交互に制御するスイッチング信号を発生するオペアンプ制御手段と、前記能動状態に設定される一方のグループの2つのオペアンプからの出力を前記液晶表示器のセグメント電極及びコモン電極に分配結合する駆動電圧出力手段とを具備することを特徴とする液晶表示器駆動電源回路。

【請求項2】 前記電圧分割回路は、最高電圧レベル“V”のラインと最低電圧レベル“0”のラインとの間に直列接続された複数の抵抗によって構成され、この複数の抵抗の中央部に配置された抵抗は1組の合成抵抗を構成し、この合成抵抗を構成する複数の抵抗それぞれには並列にスイッチ回路が接続され、このスイッチ回路の制御によって前記合成抵抗値が可変されることを特徴とする請求項1に記載の液晶表示器駆動電源回路。

【請求項3】 前記電圧分割回路は、最高電圧レベル“V”

## 3

のラインと最低電圧レベル“0”のラインとの間に直列接続された第1乃至第5の抵抗によって構成され、各抵抗の接続点から中間電圧レベル“V2H”、“V1H”、“V3L”及び“V2L”の電圧出力が得られ、各電圧出力が前記第1乃至第4のオペアンプに入力されることを特徴とする請求項1に記載の液晶表示器駆動電源回路。

【請求項4】前記第3の抵抗は、複数の抵抗から構成されると共に、各抵抗に並列にそれぞれスイッチ回路を接続し、このスイッチ回路の制御によって前記第3の抵抗の合成抵抗値が設定され、プリバイアス値が設定されることを特徴とする請求項3に記載の液晶表示器駆動電源回路。

【請求項5】前記第1乃至第4のオペアンプは、第1のグループのオペアンプ及び第2のグループのオペアンプに分けて構成され、前記第1のグループのオペアンプは、初段入力部をNチャネルMOSFETで構成し、前記第2のグループのオペアンプは、初段入力部をPチャネルMOSFETで構成するようにしたことを特徴とする請求項1に記載の液晶表示器駆動電源回路。

【請求項6】前記第1乃至第4のオペアンプは、液晶表示器の表示機能を使用しない状態を指示するパワーダウン信号が供給された状態でオフの状態に設定されることを特徴とする請求項1に記載の液晶表示器駆動電源回路。

【請求項7】請求項1に記載の液晶表示器駆動電源回路において、

さらに、バイアス電圧発生回路を備え、前記バイアス電圧発生回路は、バイアス信号を前記第1乃至第4のオペアンプにバイアス信号として供給し、液晶表示器の表示機能を使用しない状態で発生されるパワーダウン信号によって非動作状態に設定されることを特徴とする請求項1に記載の液晶表示器駆動電源回路。

【請求項8】複数の中間電圧レベルの電極駆動用電圧を発生する液晶表示器駆動電源回路であって、第1乃至第5の抵抗を直列接続し、各抵抗の接続点から順次電圧値の異なるV2H、V1H、V3L及びV2Lの中間電圧レベルの電圧が発生されるように前記第1乃至第5の抵抗の直列回路の一端に最高電圧のラインを接続し、前記直列回路の他端に最低電圧のラインを持続することによって構成され、前記第3の抵抗は直列接続した複数の抵抗群によって構成され、前記抵抗群を構成する抵抗はスイッチング回路によって短絡される電圧分割回路と、前記電圧分割回路の第1乃至第5の抵抗の接続点に接続され、前記V2H、V1H、V3L及びV2Lの電圧が入力され、2つのグループに分けられる第1乃至第4のオペアンプと、表示フレーム毎に反転するフレーム信号に対応して、前記第1及び第2のオペアンプを含むグループと前記第3及び第4のオペアンプを含むグループのいずれか一方がアクティブ状態とされ、他方がノンアクティブ状態とされるように交互に制御するスイッチング信号を発生するオペアンプ

## 4

制御手段と、前記オペアンプ制御手段からの指令に基づいてアクティブ状態とされるグループのオペアンプ群からの出力電圧信号を液晶表示器のセグメント電極及びコモン電極に分配結合する駆動電圧出力手段とを具備することを特徴とする液晶表示器駆動電源回路。

【発明の詳細な説明】

【発明の目的】

(産業上の利用分野)

本発明は液晶表示器の駆動信号を発生させる液晶表示器駆動電源回路に関する。

(従来技術)

従来、液晶表示器のダイナミック駆動は、最高電位電源と最低電位電源のほか、これらの電位の間の電圧レベル（以下中間電圧レベルと記す）を通常4つ用意し、表示データにしたがって適切な電圧レベルを液晶表示器の各セグメント端子と各コモン端子に印加することにより行なわれる。この中間電圧レベルは、抵抗器による電圧分割によって生成されるのが一般的である。第8図に示す従来回路例では、液晶印加電圧を交流化するためFR信号によって、第9図の図表、第12図の波形からも分かるように、FR=0の時の最高電位V、中間電圧レベルV2H、V1H、最低電位0の組と、FR=1の時の最高電位V、中間電圧レベルV3L、V2L、最低電位0の組とを交互に発生させ、これらの電圧は第10図のセグメント出力レベル選択回路、第11図のコモン出力レベル選択回路を通じて液相表示器に印加される。この回路例は1/5プリバイアスの場合で、 $R1=R4=300k\Omega$ 、 $R2=R3=100k\Omega$ 、 $r1=r4=30k\Omega$ 、 $r2=r3=10k\Omega$ とした。第12図の波形はコモン出力を8本持つ1/8デューティの場合を示している。第12図には複数のセグメント出力とコモン出力のうちのそれぞれ1本のみを例示した。

この回路において、 $\phi C$ 信号はコモン選択信号の切換タイミングを示すパルス信号であって、コモン信号の切換時に電圧分割回路の出力抵抗を下げて、液晶の応答を早くするためのものである。すなわち、電圧Vを分割する抵抗R1、R2、R3、R4に低い抵抗値を持つ抵抗r1、r2、r3、r4を並列に接続することにより、液晶表示器のもつキャパシタンスに対する充放電時間を短縮させようとする。

(発明が解決しようとする課題)

しかしながら、表示画素数の多い液晶表示器は、そのキャパシタンスが大きく、電圧分割回路の出力抵抗を十分に小さくしないと満足な表示品位を得られないが、電圧分割回路の抵抗を小さくすると、消費電流が増大するという欠点がある。

中間電圧レベル電源の出力抵抗を小さくするためにオペアンプを使用した例を第13図に示す。この回路は1/5プリバイアスの場合の例で、 $R1=R2=R3=R4=R5$ である。この第13図の回路ではオペアンプOP1~OP4は常に能動状態であって、消費電流は大きい。

そこで本発明は、十分な表示品位が得られるように出

力抵抗が小さく、かつ消費電力が小さい液晶表示器駆動用の電源を得ることを目的とする。

(課題を解決するための手段と作用)

本発明は、

(1) 液晶表示器に必要とされる中間電圧レベルを発生させる電圧分割回路と、該回路の電圧を入力としてボルテージフォロア動作を行なうオペアンプとを有し、該オペアンプは、液晶印加電圧を交流化するための信号に応じて前記オペアンプの出力が液晶電源として使用されない期間には、不使用のオペアンプを機能させる電流が低減化されるものであることを特徴とする液晶表示器駆動電源回路である。また本発明は、

(2) 前記中間電圧レベルを発生させる電圧分割回路は、該回路の一部の抵抗を更に細分化してその抵抗を、外部からの信号によるスイッチ動作で選択的に機能させる上記(1)に記載の液晶表示器駆動電源回路である。

即ち本発明は、オペアンプとして、外部からの信号によって消費電力を削減する機能を持ったものを用い、液晶表示器駆動に必要な中間レベル電圧を低い出力抵抗で出力できるようにしておく。液晶印加電圧を交流化するための信号によって、ある中間レベル電圧が電源として不要である期間は、その中間レベル電圧を出力するオペアンプの消費電力を減少させる。これにより、すべてのオペアンプを能動状態にする第13図のような場合よりも、消費電力を小さくできる。また本発明は上記(2)の構成で、所定プリバイアスを得る電圧分割回路の抵抗値を、簡単なソフトウェアで実現できるようにしたものである。

(実施例)

以下図面を参照して本発明の一実施例を説明する。C-MOS集積回路による液晶表示器駆動回路内蔵ワンチップマイクロコンピュータに適用した本実施例の電源回路を第1図に示す。この電源回路で生成される中間電圧レベルは、V3、V2、V1の各点より出力され、第10図に示したセグメント出力レベル選択回路、第11図に示したコモン出力レベル選択回路に供給されている。オペアンプ1及び2は、初段入力部にNチャネルMOSFETを使用したオペアンプ、オペアンプ3及び4は、初段入力部にPチャネルMOSFETを使用したオペアンプであり、その回路の詳細をそれぞれ第2図、第3図に示す。これらのオペアンプは、OFF(オフ)信号入力端子を持ち、この入力信号により、電力消費が0であるオフ状態とすることができ、またオフ状態においては、出力端子が高インピーダンス状態になるという特徴がある。各オペアンプは出力を-入力に帰還させたボルテージフォロウ構成になっており、能動状態であれば+入力に印加された電圧レベルが低い出力インピーダンスで出力に現われる。

第2図のオペアンプは、差動段21、出力段22とを有し、トランジスタ23でオペアンプ電流をカットオフ可能としている。また第3図のオペアンプは差動段31、出力

段32を有し、トランジスタ33でオペアンプ電流をカットオフ可能としている。

バイアス電圧発生回路5は、オペアンプ内部で定電流動作をさせるNチャネルのトランジスタ24、25及びPチャネルのトランジスタ34、35に対してそれぞれゲートバイアス電圧Nbias及びPbiasを供給している。このための回路の詳細を第4図に示す。オペアンプの入力となる電圧レベルは抵抗8、9、10、11、12、13、14により電源電圧Vを分割する電圧分割回路18で得ている。ここで、抵抗10、11、12は第13図の抵抗R3に相当し、これら抵抗には、それを短絡するためのアナログスイッチS0、S1、S2があり、抵抗10、11、12の合成抵抗値が、CPU部から送られるB2、B1、B0によって決定されるように構成されている。これによって、液晶に印加されるプリバイアス値をプログラムによって設定できる。CPU部からはさらに、表示用電源制御のためのPDOWN信号が入力される。この信号が“1”レベル(電源電圧Vのレベル)の場合には、Nチャネルトランジスタ15がカットオフするとともに、ゲート回路16、17を通じて、4つのオペアンプ1~4をオフ状態とし、さらに、バイアス電圧発生回路5の消費電流をカットすることにより液晶駆動回路の電力消費を完全に抑える。すなわち表示機能を使用しないときには、PDOWN信号の“1”とすることでシステムの消費電力を削減できる。抵抗8、9、13、14の抵抗値は等しい、この値をRとし、抵抗10、11、13の合成抵抗値をrとする。オペアンプ1、2、3、4の+入力端子に印加される中間電圧レベルをそれぞれV2H、V1H、V3L、V2Lと表わせば、

$$V_{2H} = \frac{3R + r}{4R + r} V$$

$$V_{1H} = \frac{2R + r}{4R + r} V$$

$$V_{3L} = \frac{2R}{4R + r} V$$

$$V_{2L} = \frac{R}{4R + r} V$$

である。またプリバイアスの値は、

$$\frac{R}{4R + r} V$$

である。本実施例ではR=200kΩ、抵抗10、11、12をそれぞれ400kΩ、200kΩ、100kΩに設定している。抵抗10、11、12を短絡しているアナログスイッチS0~S2のオン抵抗はこれらの抵抗値よりじゅうぶん小さく、ほぼ0とみなせるように設計されている。したがって合成抵抗値rは

(B2、B1、B0) = (0、0、0) の場合の0から (B2、B1、B0)

= (1、1、1) の場合の700kΩまで可変できる。すなわち

7

プリバイアスの値では、 $V/4$ から $V/7.5$ まで選択できる。FR信号は、液晶印加電圧を交流化するための信号であり、PDOWN信号が“0”の時には、デューティ比が1/2の交番信号が加えられている。FR信号が“1”の帰還では、オペアンプ1,2はオフ状態となり、オペアンプ3,4が能動状態となる。またPチャネルトランジスタ6はカットオフし、Nチャネルトランジスタ7は導通する。したがって、V1点は0レベル（グラウンドレベル）、V2点はV2Lレベル、V3点はV3Lレベルをそれぞれ出力する。一方、FR信号が“0”の期間では、オペアンプ1,2は能動状態、オペアンプ3,4はオフ状態となり、Pチャネルトランジスタ6が導通し、Nチャネルトランジスタ7はカットオフする。したがって、V1点はV1Hレベル、V2点はV2Hレベル、V3点はVレベル（電源電圧レベル）をそれぞれ出力する。以上のことより、FR信号とV1、V2、V3の各点の出力電圧レベルの関係は第5図に示すタイミングチャートに表わすことができる。第5図では、抵抗8、9、13、14の抵抗値Rと抵抗10、11、12の合成抵抗値rとが等しい、1/5プリバイアスの場合の中間電圧レベルを例として示している。

なお、オフ状態を持たせたオペアンプとしては、第2図、第3図のほかに、第6図、第7図に示すものが考えられる。ここで互に対応する個所には対応符号を用いかつダッシュを付しておく。

上記実施例によれば、第13図の如きオペアンプをバッファとじて用いた液晶電源回路で得られるのと同じ表示品位が得られ、しかも、その消費電流はほぼ半減させることができる。また第8図に示す電圧分割抵抗回路では、液晶に加えるプリバイアス値を変化させるためには、少なくとも4つの抵抗値（ $r1$ 、 $r4$ 、 $R1$ 、 $R4$ あるいは $r2$ 、

8

$r3$ 、 $R2$ 、 $R3$ )を同時に変化させる必要があり、ソフトウェアによるプリバイアス値制御を行なうためには回路要素の量がきわめて多くなる欠点があるが、第1図の回路では、CPUからの制御信号B0～B2で実質的に1つの抵抗値（第13図のR3に相当する抵抗10～12）を変化させるだけですみ、容易にソフトウェア制御機能を実現できる特長がある。

#### 【発明の効果】

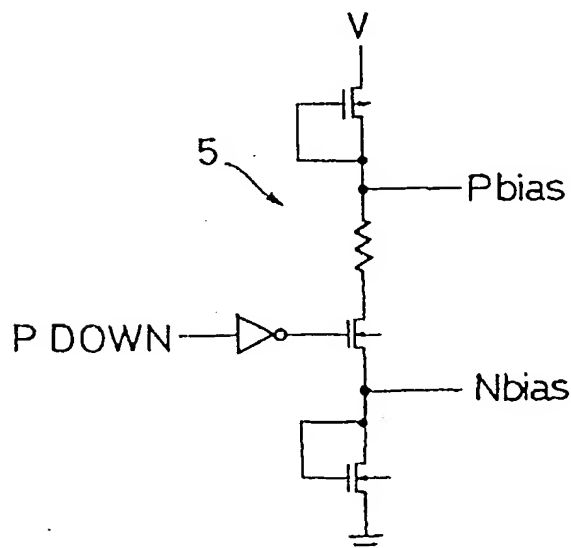
以上説明した如く本発明によれば、十分な表示品位が得られるように出力抵抗が小さく、かつ低消費電力化が可能で、また所定電圧を得る抵抗値制御が簡単な液晶表示器駆動電源回路が提供できる。

#### 【図面の簡単な説明】

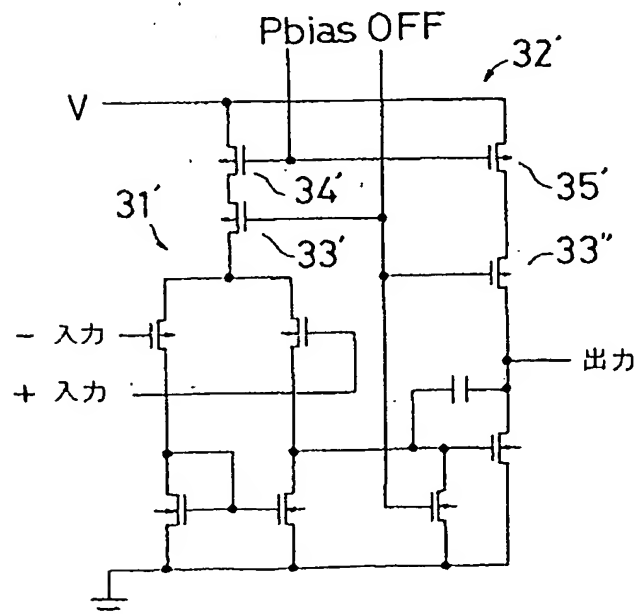
第1図は本発明の一実施例の回路図、第2図ないし第4図は同回路の一部詳細図、第5図は同回路の作用を示す波形図、第6図、第7図は第2図、第3図の変形例の回路図、第8図は従来例の回路図、第9図は同回路の作用を示す図表、第10、第11図は液晶表示に必要な他の回路図、第12図は第8図ないし第11図の各部のタイミング波形図、第13図は第1図を得る前段階の回路図である。

1, 2, 3, 4……消費電流の制御可能なオペアンプ、5……オペアンプ用のバイアス電圧発生回路、6……Pチャネルトランジスタ、7……Nチャネルトランジスタ、8, 9, 10, 11, 12, 13, 14……中間電圧レベルを発生させる電圧分割用抵抗、15……表示回路電源スイッチ用トランジスタ、16, 17……オペアンプの消費電流制御信号を生成するゲート回路、18……電圧分割回路、23, 33……オペアンプ電流カット用トランジスタ、S0～S2……アナログスイッチ。

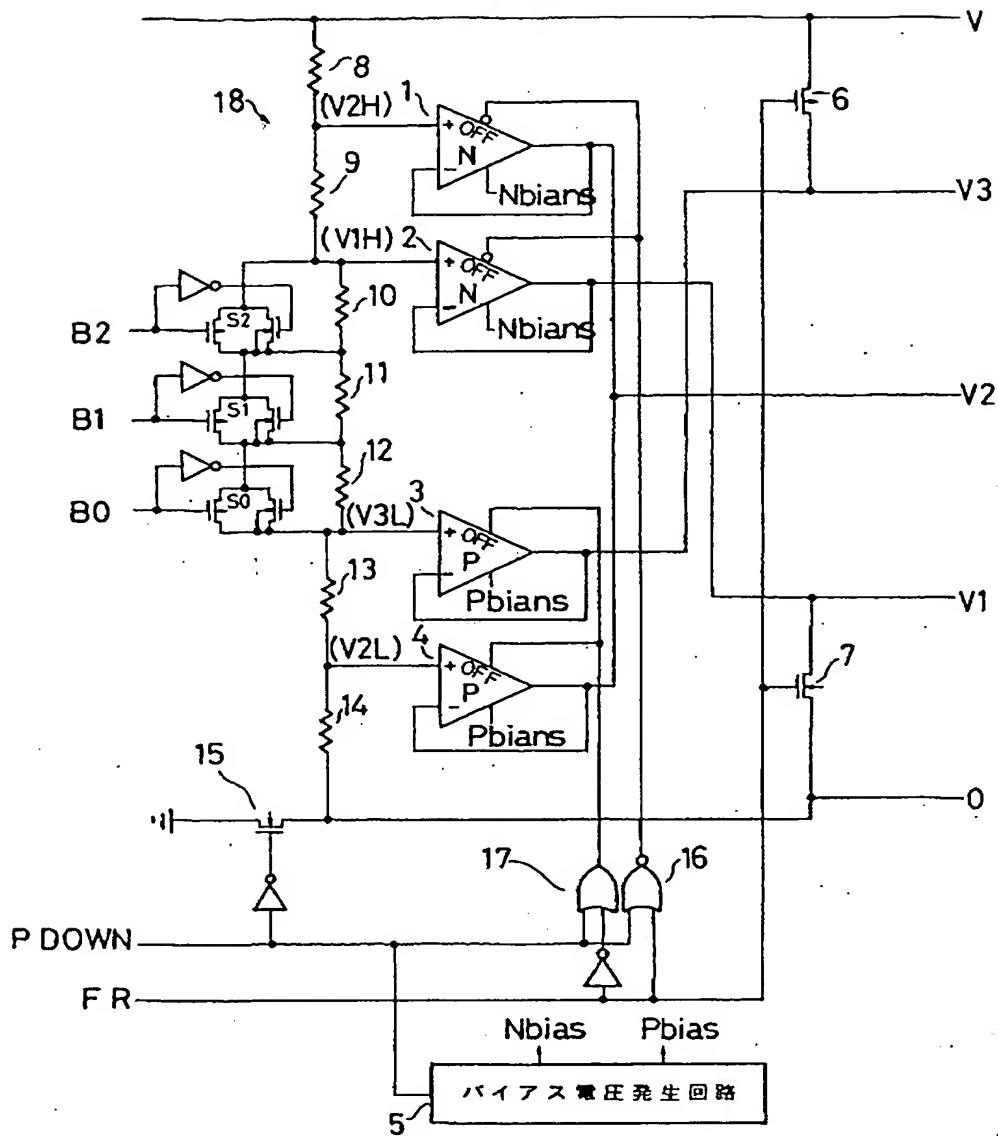
【第4図】



【第7図】



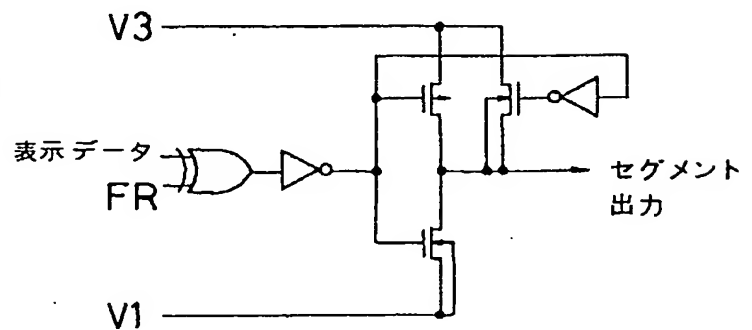
【第1図】



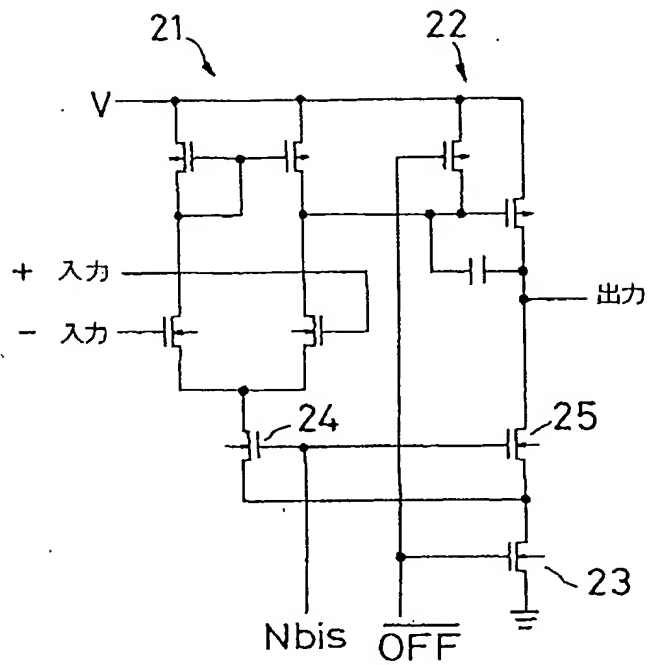
【第9図】

FR	V1	V2	V3
"0"	$V_{IH}(=3/5V)$	$V_{2H}(=4/5V)$	V
"1"	V	$V_{2L}(=1/5V)$	$V_{3L}(=2/5V)$

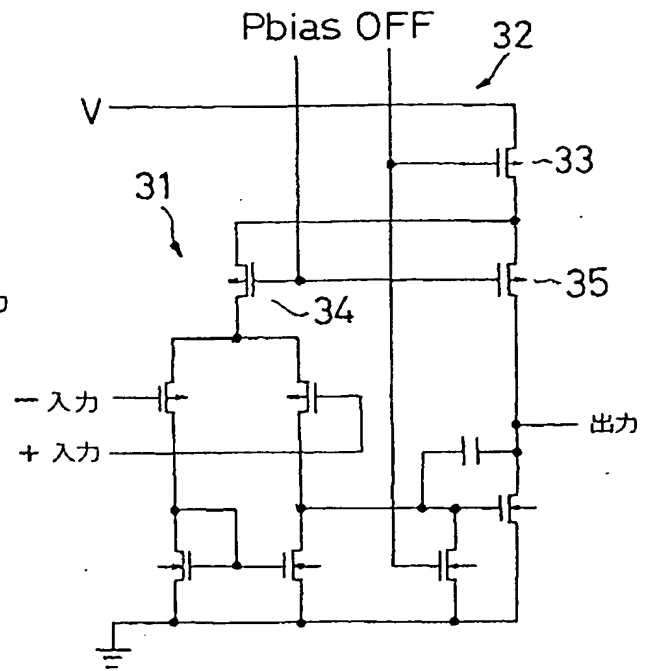
【第10図】



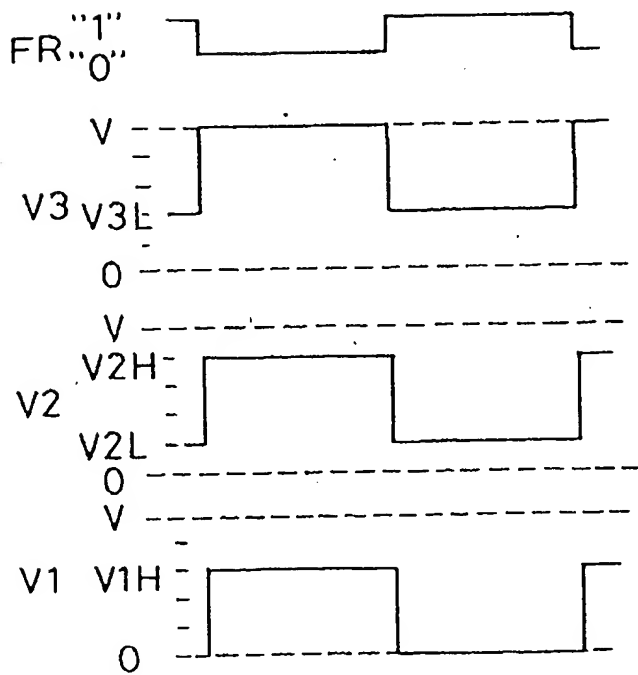
【第2図】



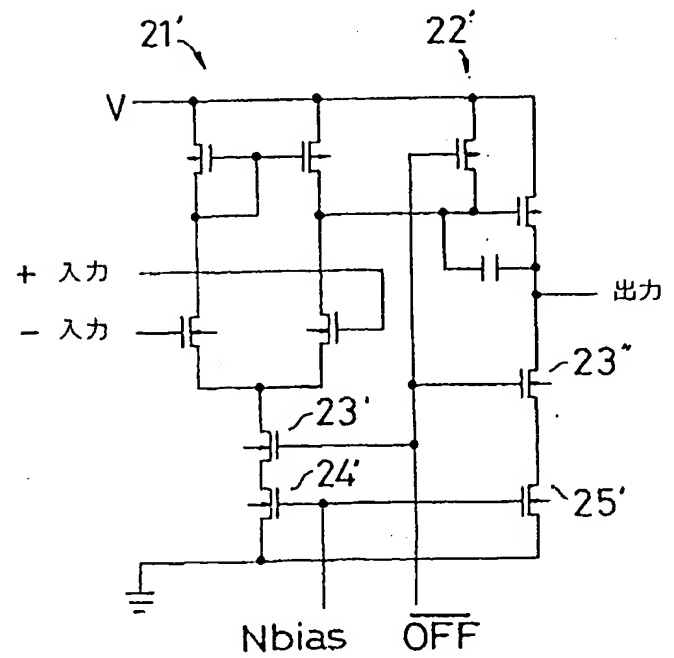
【第3図】



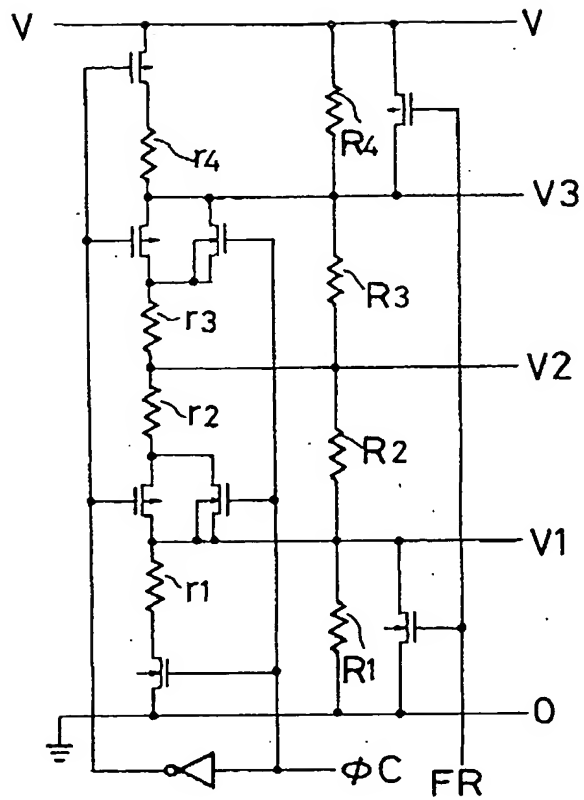
【第5図】



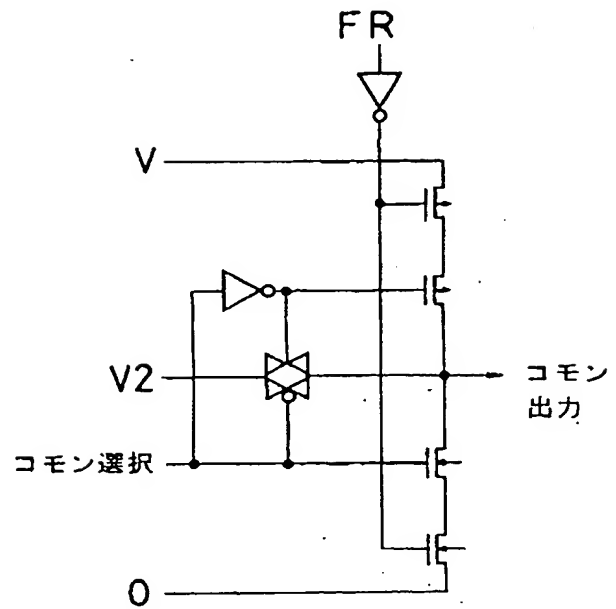
【第6図】



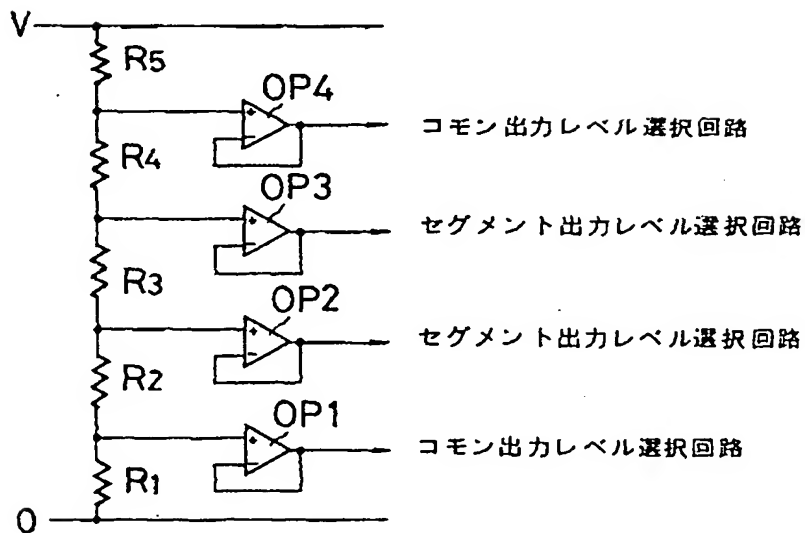
【第8図】



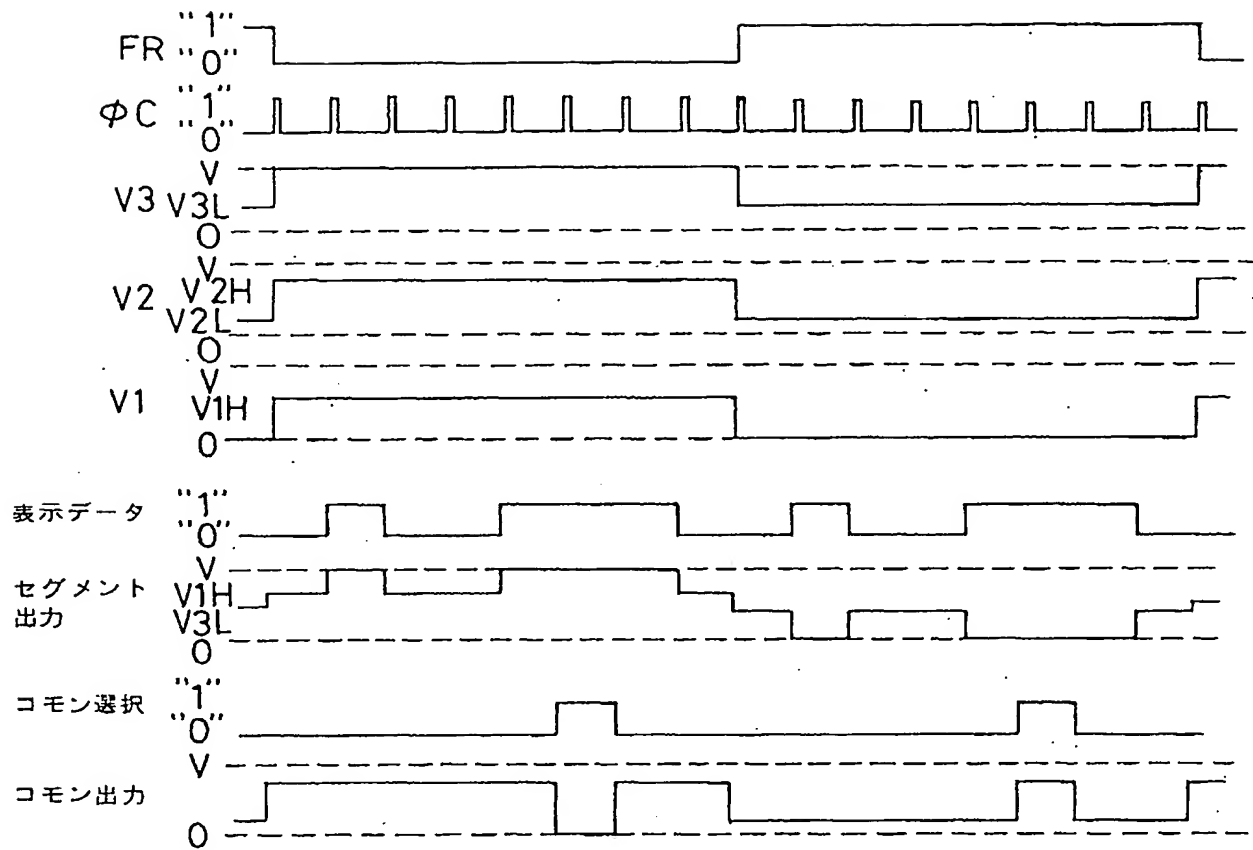
【第11図】



【第13図】



【第12図】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**